

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-275695

(43)Date of publication of application : 22.10.1993

(51)Int.Cl.

H01L 29/784  
G02F 1/136  
H01L 29/28  
// C08G 77/60

(21)Application number : 04-344021

(71)Applicant : OSAKA GAS CO LTD

(22)Date of filing : 24.12.1992

(72)Inventor : NISHIDA RYOICHI  
KAWASAKI SHINICHI  
FUJIKI TAKESHI  
YAMADA YOSHIYUKI  
KAWADA KOJI  
SHIYUU TOKUGEN  
TOKI MOTOYUKI  
ONAKA TADAO

(30)Priority

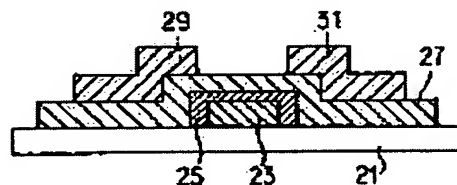
Priority number : 03341379 Priority date : 24.12.1991 Priority country : JP

## (54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a method of manufacturing a TFT which enables an active matrix-type liquid crystal display device provided with a bright and large image plane to be developed.

CONSTITUTION: A semiconductor active layer, a gate insulating film 25, a gate electrode 23, a source electrode 29, and a drain electrode 31 are formed on a substrate 21 to form a thin film transistor, where a polysilane thin film 27 orientated in a direction parallel with a source electrode to a drain electrode is made to serve as the active layer concerned.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(19)日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-275695

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/28				
// C 0 8 G 77/60	NUM	8319-4J	H 0 1 L 29/ 78	3 1 1 B
		9056-4M	審査請求	未請求 請求項の数12(全 7 頁)

(21)出願番号 特願平4-344021

(22)出願日 平成4年(1992)12月24日

(31)優先権主張番号 特願平3-341379

(32)優先日 平3(1991)12月24日

(33)優先権主張国 日本 (J P)

(71)出願人 000000284

大阪瓦斯株式会社

大阪府大阪市中央区平野町四丁目1番2号

(72)発明者 西田 亮一

大阪府大阪市中央区平野町四丁目1番2号

大阪瓦斯株式会社内

(72)発明者 川崎 真一

大阪府大阪市中央区平野町四丁目1番2号

大阪瓦斯株式会社内

(72)発明者 藤木 剛

大阪府大阪市中央区平野町四丁目1番2号

大阪瓦斯株式会社内

(74)代理人 弁理士 三枝 英二 (外4名)

最終頁に続く

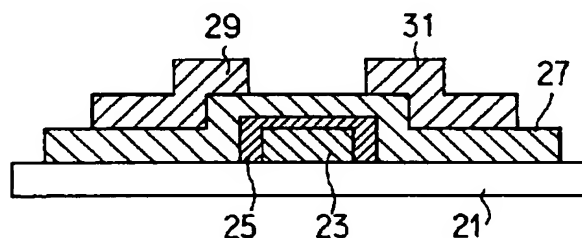
(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】 (修正有)

【目的】 明るい大画面のアクティブマトリクス型液晶表示装置の開発を可能とするTFTおよびその製造方法を提供することを主な目的とする。

【構成】 1. 基板21上に形成された半導体からなる能動層、ゲート絶縁膜25、ゲート電極23、ソース電極29およびドレイン電極31を有する薄膜トランジスタにおいて、能動層をポリシラン薄膜27により形成したことを特徴とする薄膜トランジスタおよびその製造方法。

2. 能動層を構成するポリシラン薄膜が、ソース電極からドレイン電極へ方向に平行方向に配向しているポリシラン配向薄膜からなる上記項1に記載の薄膜トランジスタおよびその製造方法。



## 【特許請求の範囲】

【請求項1】 基板上に形成された半導体からなる能動層、ゲート絶縁膜、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタにおいて、能動層をポリシラン薄膜により形成したことを特徴とする薄膜トランジスタ。

【請求項2】 能動層を構成するポリシラン薄膜が、ソース電極からドレイン電極への方向に平行方向に配向しているポリシラン配向薄膜からなる請求項1に記載の薄膜トランジスタ。

【請求項3】 基板上に形成された半導体からなる能動層、ゲート電極、ソース電極およびドレイン電極を有し、該能動層と該ゲート電極とがショットキー接触を有する薄膜トランジスタにおいて、能動層をポリシラン薄膜により形成したことを特徴とする薄膜トランジスタ。

【請求項4】 能動層を構成するポリシラン薄膜が、ソース電極からドレイン電極への方向に平行方向に配向しているポリシラン配向膜からなる請求項3に記載の薄膜トランジスタ。

【請求項5】 ゲート電極とゲート絶縁膜とを設けた基板上にポリシラン薄膜からなる能動層を形成し、次いでソース電極およびドレイン電極を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項6】 ゲート電極とゲート絶縁膜とを設けた基板上にポリシラン配向薄膜からなる能動層を形成し、次いでソース電極およびドレイン電極を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項7】 ゲート電極を設けた基板上に該ゲート電極とショットキー接触を持つポリシラン膜からなる能動層を形成し、次いでソース電極およびドレイン電極を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項8】 能動層をポリシラン配向薄膜により形成する請求項7に記載の薄膜トランジスタの製造方法。

【請求項9】 ソース電極とドレイン電極とを設けた基板上にポリシラン薄膜からなる能動層を形成し、次いでゲート絶縁膜およびゲート電極を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項10】 ソース電極とドレイン電極とを設けた基板上にポリシラン配向薄膜からなる能動層を形成し、次いでゲート絶縁膜およびゲート電極を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項11】 ソース電極とドレイン電極とを設けた基板上にポリシラン薄膜からなる能動層を形成し、次いで該ポリシラン薄膜からなる能動層とショットキー接触を持つゲート電極を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項12】 能動層をポリシラン配向薄膜により形成する請求項11に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ（以下TFTという）およびその製造方法に関する。

## 【0002】

【従来の技術】TFTは、近年アクティブマトリクス型液晶表示装置などにおける平面パネルの駆動スイッチング素子として使用されている。アクティブマトリクス型液晶表示装置は、すでに小型の表示装置として実用化されているが、今後OA機器用、高品位テレビ用などの表示装置として、さらに一層の発展が期待されている。これらの新しい分野において表示装置として実用化されるためには、大面積且つ明るい画面が必要となるが、明るい画面を実現するためには、バックライトからの明るい光によって、薄膜トランジスタが誤作動しないことが必須であり、また半導体層の透明度も重要となる。

【0003】大面積化を達成するためには、透明且つ大面積の成膜が容易な半導体層からなる能動層を有する薄膜トランジスタが必要である。従来の薄膜トランジスタの能動層には、アモルファスシリコン或いはポリシリコンが使用されてきた。しかしながら、これらの半導体材料を能動層として使用する場合には、その量子効率が大きいため、バックライトを明るくすると、誤作動が避けられないという重大な欠陥があった。また、これらの半導体材料からなる能動層の透明度が高くないため、能動層のエッチングが必要となり、工程が複雑となる。さらに、これらの材料を用いて成膜を行なう場合には、真空成膜装置が必要であり、且つこれらの材料とソース電極およびドレイン電極の材料との接触抵抗が大きいことに起因して能動層とソース電極およびドレイン電極との間にn<sup>+</sup>アモルファスシリコンなどの挿入が必要なので、生産性が低く、現在のところ、最大10インチサイズ程度のアクティブマトリクス型液晶表示装置しか実用化されていない。

【0004】大画面化のための生産性の向上を図るために、ポリチエニレンビニレンなどのπ-共役系高分子材料膜をTFTの能動層に用いることが提案されている

(Polymer Preprints, Japan Vol.40,10 (1991), 3805-3807、再公表公報W090/0842)。これらの材料を用いると、成膜が容易であるなどのメリットが得られるものの、成膜時に塩酸の使用が必要である。この点で、能動層の安定性および表示装置に与える影響を考慮すると、この様に提案されたものを実用に供することは、困難である。また、この材料は、可視域に吸収を有するので、可視光の遮蔽を施す必要があることも、実用上の問題点として挙げられる。

## 【0005】

【発明が解決しようとする課題】従って、本発明は、明るい大画面のアクティブマトリクス型液晶表示装置の開発を可能とするTFTおよびその製造方法を提供することを主な目的とする。

## 【0006】

【課題を解決するための手段】本発明者は、上記のような技術の現状に鑑みて鋭意研究を進めた結果、ポリシラン薄膜をTFTの能動層として使用する場合には、従来のTFTの問題点が実質的に解消されるか或いは大幅に軽減されることを見出した。

【0007】即ち、本発明は、下記のTFTおよびその製造方法を提供するものである；

1. 基板上に形成された半導体からなる能動層、ゲート絶縁膜、ゲート電極、ソース電極およびドレイン電極を有する薄膜トランジスタにおいて、能動層をポリシラン薄膜により形成したことを特徴とする薄膜トランジスタ。

【0008】2. 能動層を構成するポリシラン薄膜が、ソース電極からドレイン電極への方向に平行方向に配向しているポリシラン配向薄膜からなる上記項1に記載の薄膜トランジスタ。

【0009】3. 基板上に形成された半導体からなる能動層、ゲート電極、ソース電極およびドレイン電極を有し、該能動層と該ゲート電極とがショットキー接触を有する薄膜トランジスタにおいて、能動層をポリシラン薄膜により形成したことを特徴とする薄膜トランジスタ。

【0010】4. 能動層を構成するポリシラン薄膜が、ソース電極からドレイン電極への方向に平行方向に配向しているポリシラン配向膜からなる上記項3に記載の薄膜トランジスタ。

【0011】5. ゲート電極とゲート絶縁膜とを設けた基板上にポリシラン薄膜からなる能動層を形成し、次いでソース電極およびドレイン電極を形成することを特徴とする薄膜トランジスタの製造方法。

【0012】6. ゲート電極とゲート絶縁膜とを設けた基板上にポリシラン配向薄膜からなる能動層を形成し、次いでソース電極およびドレイン電極を形成することを特徴とする薄膜トランジスタの製造方法。

【0013】7. ゲート電極を設けた基板上に該ゲート電極とショットキー接触を持つポリシラン膜からなる能動層を形成し、次いでソース電極およびドレイン電極を形成することを特徴とする薄膜トランジスタの製造方法。

【0014】8. 能動層をポリシラン配向薄膜により形成する上記項7に記載の薄膜トランジスタの製造方法。

【0015】9. ソース電極とドレイン電極とを設けた基板上にポリシラン薄膜からなる能動層を形成し、次いでゲート絶縁膜およびゲート電極を形成することを特徴とする薄膜トランジスタの製造方法。

【0016】10. ソース電極とドレイン電極とを設けた基板上にポリシラン配向薄膜からなる能動層を形成し、次いでゲート絶縁膜およびゲート電極を形成するこ

とを特徴とする薄膜トランジスタの製造方法。

【0017】11. ソース電極とドレイン電極とを設けた基板上にポリシラン薄膜からなる能動層を形成し、次いで該ポリシラン薄膜からなる能動層とショットキー接触を持つゲート電極を形成することを特徴とする薄膜トランジスタの製造方法。

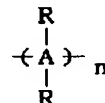
【0018】12. 能動層をポリシラン配向薄膜により形成する上記項11に記載の薄膜トランジスタの製造方法。

【0019】本発明で使用するポリシランは、Si-Si結合を主鎖骨格とする高分子材料であれば特に限定されず、具体的には、下記の如きものが例示される。

【0020】一般式(1)

【0021】

【化1】

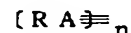


【0022】(式中Rは、水素原子、炭素数1～14のアルキル基、アリール基、炭素数1～10のアルコキシ基、アミノ基、シリル基またはその誘導体を示し、nは10～10000程度である；Aは、SiまたはGeを示す。ポリシランの構造単位中のAは、全てSiにより構成されていても良く、或いは全てGeにより構成されていても良く、或いは任意の割合のSiとGeとから構成されていても良い)で示される直鎖状ポリシラン、

一般式(2)

【0023】

【化2】

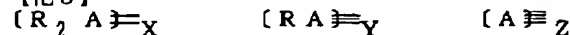


【0024】(式中Rは、水素原子、炭素数1～14のアルキル基、アリール基、炭素数1～10のアルコキシ基、アミノ基、シリル基またはその誘導体を示し、nは10～10000程度である；Aは、SiまたはGeを示す。ポリマーの構造単位中のAは、全てSiにより構成されていても良く、或いは全てGeにより構成されていても良く、或いは任意の割合のSiとGeとから構成されていても良い)で示されるシリコンネットワークポリマー、

一般式(3)

【0025】

【化3】



【0026】(式中Rは、水素原子、炭素数1～14のアルキル基、アリール基、炭素数1～10のアルコキシ基、アミノ基、シリル基またはその誘導体を示し、x、yおよびzはそれぞれ10～10000程度である；Aは、SiまたはGeを示す。ポリマーの構造単位中のA

は、全て Si により構成されていても良く、或いは全て Ge により構成されていても良く、或いは任意の割合の Si と Ge とから構成されていても良い) で示される構造単位の 2 以上を有し、Si-Si 結合を骨格とする網目状ポリマー。

【0027】これらのポリマーは、公知であり、それぞれの構造単位を有するモノマーを原料として、公知の方法により製造される。より具体的には、アルカリ金属の存在下にクロロシラン類および/またはクロロゲルマン類を脱塩素重縮合させる方法(キッピング法)、電極還元によりクロロシラン類および/またはクロロゲルマン類を脱塩素重縮合させる方法、金属触媒の存在下にヒドロシラン類を脱水素重縮合させる方法、ビフェニルなどで架橋されたジシレンのアニオン重合による方法、環状シラン類の開環重合による方法などが例示される。また、これらのポリシランは、I<sub>2</sub> などによりドーブされていても良い。

【0028】基板としては、絶縁体、半導体などが使用可能であり、特に限定されない。

【0029】基板に対するポリシラン薄膜の形成方法は、特に限定されず、スピコート法、ディッピング法、キャスト法などの通常のポリシラン薄膜の形成方法が採用できる。

【0030】なお、ポリシラン配向薄膜は、ラビング法、真空蒸着法、延伸法、ラングミュア・プロジェクト法(LB法)などの方法により、形成できる。

【0031】また、ゲート絶縁膜としても、窒化ケイ素薄膜、酸化ケイ素薄膜などの公知のゲート絶縁膜を公知の成膜法を用いて形成したものが使用できる。

【0032】ゲート電極、ソース電極およびドレイン電極についても、通常使用されている公知の方法を用いて形成したものが使用できる。

【0033】以下図面に示す実施例を参照しつつ、本発明を詳細に説明する。なお、図面において、各構成要素の大きさは、必ずしも実際の相対的な大きさに対応するものではない。

【0034】図1は、アモルファスシリコンを能動層とする従来のTFETの概要を示す断面図である。このTFETは、ガラス基板1上にゲート電極3、ゲート絶縁層5およびアモルファスシリコン層7を順次形成した後、n<sup>+</sup>アモルファスシリコンオーム層9、ソース電極11/ドレイン電極13を形成することにより、製造されている。

【0035】図2は、ポリシランを能動層とする本発明によるTFET(逆スタガ構造)の概要を示す断面図である。このTFETでは、ガラス基板21上にゲート電極23を真空蒸着法により形成し、その上にゲート絶縁膜25としての窒化ケイ素薄膜をレーザーCVD法により形成し、さらに能動層としてメチルフェニルポリシラン薄膜27をスピコート法により成膜してある。ポリシラ

ン薄膜27の上には、ソース電極29/ドレイン電極31が真空蒸着法により直接積層されている。本発明によるTFETにおいては、ポリシラン薄膜27とソース電極29/ドレイン電極31との接触抵抗が小さいので、従来のTFETの場合と異なり、オーム層を挿入する必要はないので、製作が容易である。この様にして得られたTFETの一例の動作特性は、図6に示す通りである。能動層として、メチルフェニルポリシランに代えてn-ブチルフェニルポリゲルマン或いはSi/Geポリマーを使用する場合にも、得られるTFETは、図6に示すものと同様の動作特性を示す。

【0036】図3は、ポリシランを能動層とする本発明によるTFET(逆スタガ構造)の概要を示す断面図である。このTFETは、ゲート電極としてショットキー接触を用いたもので、いわゆるMESFET(金属半導体電界効果トランジスタ)といわれるものである。このTFETでは、ガラス基板41に真空蒸着法によりゲート電極43を形成し、さらにショットキー接触の形成および能動層としてメチルフェニルポリシラン薄膜47をスピコート法により成膜してある。ポリシラン薄膜47の上には、ソース電極49/ドレイン電極51が真空蒸着法により直接積層されている。この場合には、ゲート絶縁膜を形成する必要がないので、作製が容易であり、絶縁膜破壊という信頼性上の問題点の発生を軽減できる。

【0037】図4は、アモルファスシリコンを能動層とする従来のTFET集積素子の概要を示す平面図である。このTFETでは、ガラス基板上にゲート電極およびゲート絶縁層を積層形成され、その上にアモルファスシリコン層が成膜され、さらにn<sup>+</sup>アモルファスシリコンオーム層を挟んでソース電極/ドレイン電極が積層されている(図1参照)。この場合には、ソース電極11/ドレイン電極13間でキャリアが矢印15の方向に移動する際に、キャリアが隣接する素子に向けて矢印17の方向に流出することを防ぐために、素子分離領域大きくとる必要があった。図5は、ソース電極からドレイン電極への方向に平行方向に配向したポリシランを能動層とする本発明によるTFET集積素子の概要を示す平面図である。このTFETでは、ガラス基板上にゲート電極を形成し、その上にゲート絶縁膜としての窒化ケイ素薄膜を形成し、さらに能動層としてソース電極からドレイン電極への方向に平行方向に配向したポリシラン薄膜を成膜してある。そして、ポリシラン薄膜の上には、ソース電極/ドレイン電極が直接積層されている(図2参照)。このTFETにおいても、ポリシラン薄膜とソース電極/ドレイン電極との接触抵抗が小さいので、従来のTFETの場合と異なり、オーム層を挿入する必要はないので、製作がやはり容易である。また、このTFETにおいては、キャリアは、配向したポリシラン薄膜の配向方向に沿って、1つの素子内のソース電極からドレイン電極への方向に平行に(矢印33参照)移動する確率が極めて高い

ので、隣接する素子間の分離領域は小さいものでも十分である。そのため、素子間距離を小さくすることができ、その結果、素子の高密度化が達成される。

【0038】また、本発明は、図7および図8に示す順スタガ構造のTF Tにも容易に適用できる。

【0039】例えば、図7に示す順スタガ構造のTF Tは、ガラス基板61、ドレイン電極63、ソース電極65、ポリシラン薄膜67、ゲート絶縁膜69およびゲート電極71により構成されている。

【0040】また、図8に示す順スタガ構造のTF Tは、ガラス基板81、ドレイン電極83、ソース電極85、ポリシラン薄膜87およびゲート電極89により構成されている。

【0041】図7および図8に示す形式の本発明によるTF Tも、図6に示すと同様な動作特性を示す。

【0042】なお、本発明によるTF Tのポリシラン配向薄膜は、ラビング法、真空蒸着法、延伸法、ラングミュア・プロジェクト法(LB法)などの方法により、製造できる。

【0043】

【発明の効果】本発明によれば、下記の様な優れた効果が達成される。

【0044】(a) ポリシランの量子効率、アモルファスシリコンの1%以下と低いので、誤作動の可能性が低く、TF Tの信頼性が高まる。

【0045】(b) ポリシランは、透明性が高いので、能動層のエッチングが不要となり、液晶表示装置の大画面化に適したTF Tが得られる。

【0046】(c) ソース電極およびドレイン電極と能動層との接触抵抗が小さいので、オーム層の挿入が不要となり、製作工程が簡略化される。

【0047】(d) 可視光域に吸収を有しないので、可視光の遮蔽、即ちブラックマトリックスが不要となる。

【0048】(e) スピンコート法、ディッピング法、キャスト法などによりポリシラン薄膜を形成する際には、真空装置が不要となり、製作が容易となるとともに、液晶表示装置の大画面化が可能となる。

【0049】(f) ポリシランの配向薄膜を使用する場合には、キャリアの移動度が向上し、TF Tの高速動作が可能となる。

【0050】(g) また、ポリシランの配向薄膜を使用する場合には、TF T素子間の間隔を減少させることができるので、TF T素子の高密度集積が可能となる。

【0051】(h) ポリシランからなる能動層に代えてポリゲルマンまたはSi/Gcポリマーからなる能動層を使用する場合にも、上記(a)～(g)と同様な効果が達成される。

【図面の簡単な説明】

【図1】アモルファスシリコンを能動層とする従来のT

F Tの概要を示す断面図である。

【図2】ポリシランを能動層とする本発明による逆スタガ構造のTF Tの概要を示す断面図である。

【図3】ポリシランを能動層とする本発明による逆スタガ構造のTF Tの概要を示す断面図である。

【図4】アモルファスシリコンを能動層とする従来のTF T集積素子の概要を示す平面図である。

【図5】ソース電極からドレイン電極への方向に平行方向に配向したポリシランを能動層とする本発明によるTF T集積素子の概要を示す平面図である。

【図6】ポリシランを能動層とする本発明によるTF Tの一例の動作特性示すグラフである。

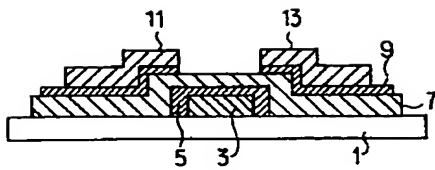
【図7】ポリシランを能動層とする本発明による順スタガ構造のTF Tの概要を示す断面図である。

【図8】ポリシランを能動層とする本発明による順スタガ構造のTF Tの概要を示す断面図である。

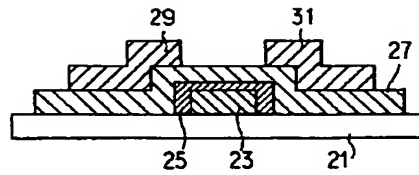
【符号の説明】

- 1…ガラス基板
- 3…ゲート電極
- 5…ゲート絶縁膜
- 7…アモルファスシリコン層
- 9…n<sup>+</sup>アモルファスシリコン層
- 11…ソース電極
- 13…ドレイン電極
- 15…キャリアの進行方向
- 17…キャリアの流出方向
- 21…ガラス基板
- 23…ゲート電極
- 25…ゲート絶縁膜
- 27…ポリシラン薄膜
- 29…ソース電極
- 31…ドレイン電極
- 33…キャリアの進行方向
- 41…ガラス基板
- 43…ゲート電極
- 47…ポリシラン薄膜
- 49…ソース電極
- 51…ドレイン電極
- 61…ガラス基板
- 63…ドレイン電極
- 65…ソース電極
- 67…ポリシラン薄膜
- 69…ゲート絶縁膜
- 71…ゲート電極
- 81…ガラス基板
- 83…ドレイン電極
- 85…ソース電極
- 87…ポリシラン薄膜
- 89…ゲート電極

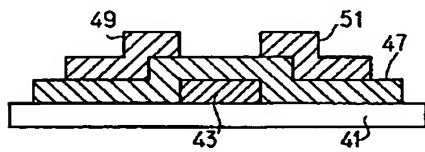
【図1】



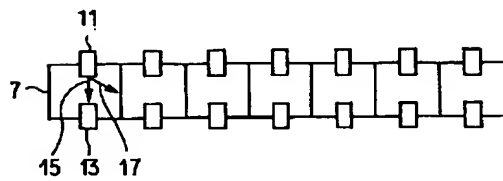
【図2】



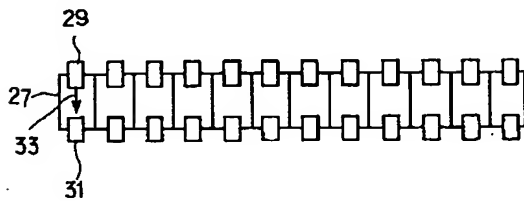
【図3】



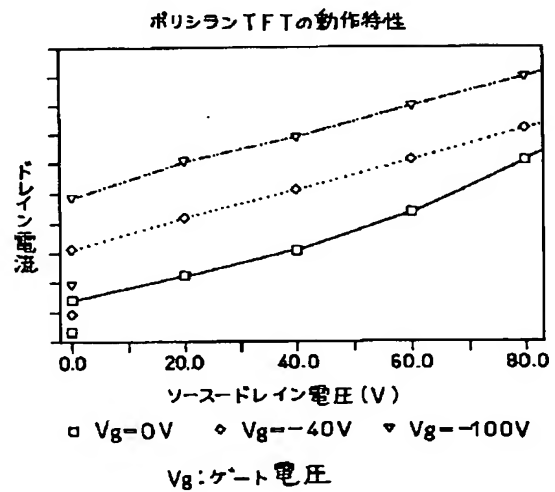
【図4】



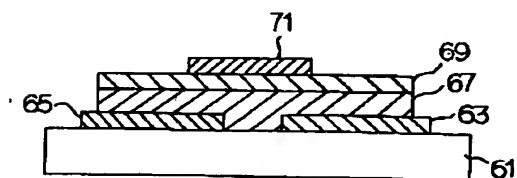
【図5】



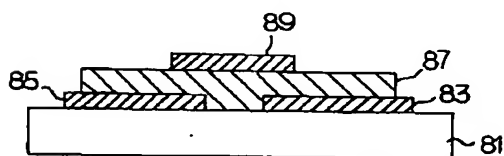
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 山田 良行  
京都府京都市伏見区向島四ツ谷池14-8  
向島団地6-2-14

(72)発明者 川田 浩二  
京都府京都市右京区太秦海正寺町3-2  
西京都マンション703

(72)発明者 周 徳元

大阪府大阪市中央区平野町四丁目 1 番 2 号  
大阪瓦斯株式会社内

(72)発明者 土岐 元幸

大阪府大阪市中央区平野町四丁目 1 番 2 号  
大阪瓦斯株式会社内

(72)発明者 大中 忠生

大阪府大阪市中央区平野町四丁目 1 番 2 号  
大阪瓦斯株式会社内